

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: **08314587 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07115616

(51) Intl. Cl.: G06F 1/32 G06F 1/26

(22) Application date: 15.05.95

(30) Priority:

(43) Date of application publication: 29.11.96

(84) Designated contracting states:

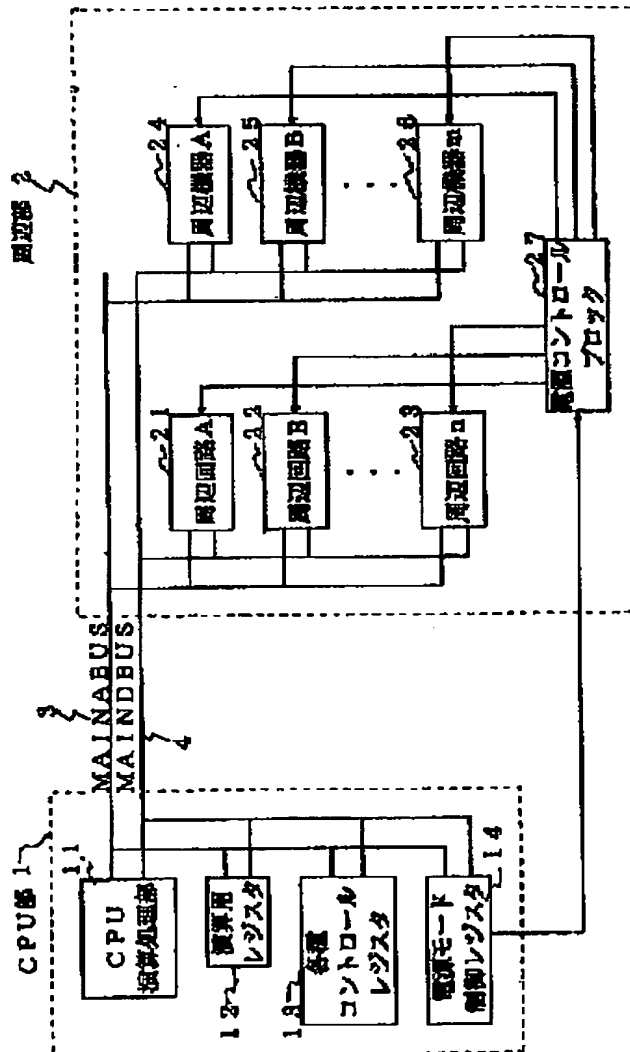
(71) Applicant: **NEC CORP**
(72) Inventor: **WATANABE MITSUHIRO**
(74) Representative:

**(54) POWER SAVING
POWER SOURCE CIRCUIT**

(57) Abstract:

PURPOSE: To control a power source and system clock frequency by permitting the peripheral circuit and the peripheral equipment of a peripheral device to change the power source state and the clock state of the peripheral device by means of a status signal which is outputted to the outside of CPU.

CONSTITUTION: CPU arithmetic processing part 11 decodes an instruction for the CPU arithmetic processing part 11, which is outputted from an instruction register of a various control register 13 so as to execute the arithmetic processing. When description for setting a power source mode exists in the instruction register, the CPU arithmetic processing part 11 sets the CPU mode in a power source mode control register 14. This CPU becomes the various power source mode in accordance with the mode so as to output the status signal of the power source mode to the outside. By the status signal, the power source control block 25 of a peripheral part 2 permits the peripheral circuits 21-23, the power source states of the peripheral equipments 24-26 and the clock state to change.



COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-314587

(43) 公開日 平成8年(1996)11月29日

(51) Int.Cl.⁶

G 0 6 F 1/32
1/26

識別記号

序内整理番号

F I

G 0 6 F 1/00

技術表示箇所

3 3 2 B

3 3 4 H

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平7-115616

(22) 出願日 平成7年(1995)5月15日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渡邊 光洋

東京都港区芝五丁目7番1号日本電気株式会社内

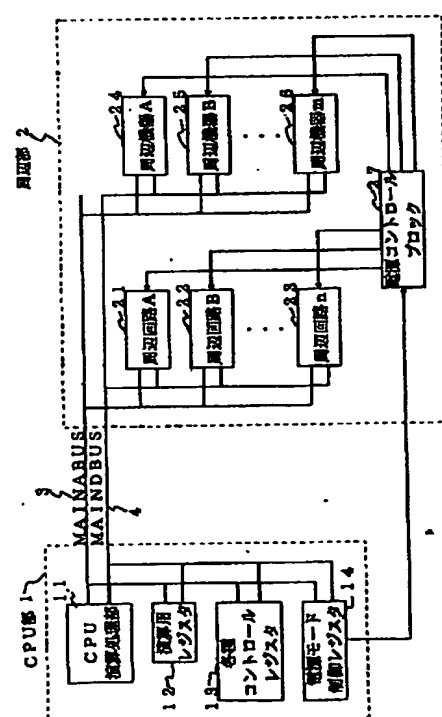
(74) 代理人 弁理士 熊谷 雄太郎

(54) 【発明の名称】 省電力電源回路

(57) 【要約】

【目的】 現在、電池を使用した機器ではCPUに数種類の電源モードを持たせ、CPUを使用しない時には省電力モードにし、電力を押さえている。また、これとは別に周辺チップに関しては省電力モードにする際に、CPUの電源モードに直接関係させず、周辺用のレジスタを持たせモードを変更させている。本来、周辺の動作の状態はCPUの動作を主体として、これに密接にかかわってくるために、周辺の電源モードはCPUのモードに合せたほうがよい。本発明は、CPUの電源モードと周辺の電源モードを合わせることでより効率的に省電力を実現する。

【構成】 第1の手段としては、CPUに電源モードのステータスを出力する機構を持たせ、このステータスをもとに初期設定で決められた周辺回路および周辺機器の電源コントロールを行う。第2の手段としては、CPUに外部信号により電源モードを移行する機構を持たせて、周辺回路および周辺機器からの要求信号に応じて、CPUの電源モードをコントロールする。



【特許請求の範囲】

【請求項 1】 CPU と周辺装置とを有し、前記 CPU は内部電源の状態を設定できるレジスタと、該レジスタに設定された設定値により内部電源の状態を変化させる機構とを持ち、その変化した状態を外部に知らせることができる出力機構を備え、
前記周辺装置の周辺回路、及び周辺機器は前記 CPU の外部に出力されたステータス信号により、該周辺装置の電源状態、及びクロック状態を変化させる制御手段を有する、
ことを特徴とした省電力電源回路。

【請求項 2】 前記レジスタ、前記内部電源の状態を変化させる機構及び前記出力機構は電源モード制御レジスタであり、前記制御手段は電源コントロールブロックであって、前記電源モード制御レジスタにより該電源コントロールブロックが制御されることを更に特徴とする請求項 1 に記載の省電力電源回路。

【請求項 3】 CPU と周辺装置とを有し、該周辺装置は周辺の各回路、及び機器の電源状態、またはクロック周波数を変化させる電源コントロールブロックを持ち、該電源コントロールブロックの設定値により前記周辺装置の電源状態を変化させる機構を持ち、
前記 CPU は前記電源コントロールブロックから出力される外部入力信号により、該 CPU の内部の電源状態を変化させることのできる機構を有し、
前記 CPU 及び周辺装置の組み合わせで該周辺装置の動作状態から、該周辺装置に与える電力を供給したり、切断したりする、
ことを特徴とした省電力電源回路。

【請求項 4】 前記 CPU 内部の電源状態を変化させることのできる機構は電源モード制御入力手段であり、該電源モード制御入力手段の内容は前記電源コントロールブロックに設定されたデータにより制御されることを更に特徴とする請求項 3 に記載の省電力電源回路。

【請求項 5】 前記周辺装置に電源コントロールブロックを存在させ、周辺の前記周辺装置の各ブロックのステータス信号から前記電源コントロールブロックが、電源接続状態の最適化を行い、各周辺ブロック、及び CPU の電源を制御し、周辺装置に与える電力を供給したり、切断したりすることを更に特徴とする請求項 1 または 3 のいずれか一項に記載の省電力電源回路。

【請求項 6】 外部信号によりプログラム可能な電源コントロールブロックを持ち、該電源コントロールブロックに対し設定値を変えることで、各ブロックに対する電源の接続状態を変化させ、前記周辺装置及び前記 CPU に与える電力を供給したり、切断したりすることを更に特徴とする請求項 1、3、5 のいずれか一項に記載の省電力電源回路。

【請求項 7】 前記 CPU と前記周辺装置のバスが同一バス上にあることを更に特徴とする請求項 1 または 3 の

いずれか一項に記載の省電力電源回路。

【請求項 8】 前記 CPU と前記周辺装置のバスが分けられることを更に特徴とする請求項 1 または 3 のいずれか一項に記載の省電力電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、省電力電源回路に関し、特に、CPU を搭載し、バッテリーを主体として駆動させる装置において、消費電力を抑える方向にコントロールする省電力電源装置に関する。

【0002】

【従来の技術】従来において、パーソナルコンピュータなどはデスクトップを主体とし、外部の AC 電源等から電力を供給されており、バッテリーと違い細かく消費電力を押さえるという概念はあまりなかった。しかるに、現在ではコンピュータ機器がラップトップタイプ、ノートタイプ、システム手帳サイズと順次小型化されてきており、自由に持ち運びできるようになってきた。

【0003】そのために、AC 電源の無い場所での使用形態が増えてきており、それに合わせて充電式のバッテリーを基本電源とした機器が増えている。

【0004】バッテリーを主体とした機器では、使っている最中にバッテリーがなくなり、作業ができなくなることが発生するので、消費電力が大きいと長時間使用することができず大変不便である。

【0005】そのためには消費電力を抑え込む方法が必要になる。

【0006】第 1 には消費電力の少ないコンポーネントを使い、全体の消費電力を抑え込む方法がある。

【0007】第 2 には CPU が電源コントローラに値を設定して、周辺機器の電源を入れたり、切ったりして消費電力を抑える方法がある。

【0008】第 3 にはキー入力など外部入力が一定期間ないときに、システム全体の電源を落とすなどして間欠的に電源を落とすことで、コンピュータの使用できる時間を実質的に増やす方法がある。

【0009】第 4 には CPU と OS を複合化して考え、OS に CPU の動作状況を演算させ動作状況に応じて CPU およびシステムのクロック周波数を変化させる方法がある。

【0010】上記第 1 の方法は全体の消費電力を下げるためにコンポーネントに消費電力の小さいものを使う、という方法である。

【0011】システム全体の消費電力を下げるには、まず第 1 に部品に消費電力の小さいものを使用することから始まる。

【0012】そのあとで、今度はその部品がアクティブになっていない期間中に、いかに消費電力を抑えるかということを考える。

【0013】そのなかで、第 2、第 3、第 4 の手段によ

り消費電力を抑えるという方法が考え出される。そういった意味で、まず第一に考えられる方法である。

【0014】上記第2の方法としては、半導体の集積回路において、外部からのパワーダウン信号に対し集積回路内部でパワーダウンを行える機構を持たせ、回路の動作停止を行うことで消費電力を抑える方法（特開昭60-254487号公報に開示された半導体集積回路）、CPUからアクセス可能なパワーコントロールレジスタを持ち、このレジスタの所定のビットの状態に応じてクロック発振器に対する電源供給を許可／禁止するスイッチ手段をもち、このレジスタに値を設定することで消費電力を抑える方法（特開平2-201516号公報に開示されたパワーセーブ方式）、CPUを含む複数の機能部への電源供給を各個々に停止させるパワーセーブ制御レジスタを設け、個別に電源の供給または停止を制御する方法（特開平05-324139号公報に開示されたMCUのパワーダウン制御方法）、が提案されている。

【0015】上記第3の方法では、アプリケーションプログラムからの入力要求に対応してカウントするインターバルタイマのカウントに応じて一定期間キー入力がないと低電力モードに移行し、消費電力を抑える方法（特開平4-125718号公報に記載された省電力制御方法）、一定期間キー入力がないとCPUの動作クロック周波数を切り替えて消費電力を抑える方法（特開平4-130510号公報に記載された情報処理装置の省電力方式）がある。

【0016】第4の方法では、OSにCPUの動作頻度を演算させ頻度に応じてCPUおよびシステムのクロック周波数を変化させ、動作頻度が低い時はクロック周波数を落としてCPUを停止させる方向に働かせ消費電力を抑える方法（特開平3-210617号公報に開示されたポータブルコンピュータ用リアルタイム省電力方法及び装置）などがある。

【0017】

【発明が解決しようとする課題】しかしながら、上記手段において、まず第1の手段では、消費電力の小さい部品といっても限界があり、特に周辺回路の多いシステムについては、いくら消費電力が小さくても一度に動作させていては消費電力が蓄積してシステム的には大きな電力を消費することになる。

【0018】そこで各周辺回路についての電源コントロールが必要になる。

【0019】第2の手段においては、CPUがスリープモードなどで停止状態にある時には、CPUがレジスタを設定して周辺の電源をコントロールする方法のために、CPUが停止状態になってしまえば消費電力のコントロールができなくなってしまう。例えば携帯電話などの無線機器では消費電力を抑えることのほかに、電波を送受信している間のノイズ低減のために電波を送受信している間はCPUなどのノイズ元は停止した状態にし

たい。

【0020】この時、第2の手段ではCPUが停止してしまえば、次にCPUを動作させる手段が無いためにこういった場合には適さない。

【0021】第3の手段においては、キー入力に対しての省電力は解決するが、複数の外部機器が接続されている場合には、コントロールがうまくいなくなる。

【0022】なぜなら、これらの発明はキー入力のみに特定化しているので、その他の機器が接続されている場合の手段を考えていないためである。

【0023】例えばDMAをデータの転送手段としている場合には、CPUが非動作状態、かつ一定期間キー入力がないという状態が存在し得るからである。

【0024】この場合、DMAの転送が終了していないのにキー入力が入ってこないという状態が存在し、その時には周辺が動作しているにもかかわらず全体のクロック周波数を落とすか、または電源を切るなどするために周辺の動作状態が無視されるからである。

【0025】第4の手段においては、省電力のコントロールをOSが行なうために、OSが変わってしまうとその度にコントロールプログラムを書き換えなければならない。

【0026】また、第4の手段では省電力を行うためにCPUの動作状態に応じてCPUに対してのクロック周波数のコントロールを行うが、周辺の動作状態に応じた消費電力のコントロールについては考えていない。

【0027】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記諸課題を解決し、電源コントロール部に対して初期設定をし、その設定条件に合わせて電源コントロール部がCPUの電源モードに合わせて自動的に周辺機器の電源コントロールおよびシステムクロック周波数などをコントロールすることを可能とした新規な省電力電源回路を提供することにある。

【0028】また本発明の他の目的は、周辺機器の動作状態を電源コントロール部が監視し、状態に応じて周辺の機器の電源コントロール、及びシステムクロック周波数のコントロールを行うことを可能とした新規な省電力電源回路を提供することにある。

【0029】

【課題を解決するための手段】上記目的を達成するために、本発明では第1の発明としては、CPUに電源モードのステータス出力する機構を持たせる。

【0030】このステータスをもとに電源コントロール部に与えられた初期設定値とCPUの動作状態をもとに、周辺回路および周辺機器の電源コントロール、及びクロック周波数のコントロールを行い全体の消費電力を抑える。

【0031】本発明による第2の発明としては、CPUに外部信号により電源モードを移行する機構を持たせ

10

20

30

40

50

て、周辺回路および周辺機器に設けた電源コントロール部からの要求信号に応じて、CPUの電源モードをコントロールする。

【0032】周辺の電源コントロール部では周辺の動作状態から予め設定された値に従って、周辺回路および周辺機器の電源コントロール、及びクロック周波数を変化させ全体の消費電力を抑える。

【0033】または、電源コントロール部の設定値を変えられるようにしておき、外部接続機器の種類に応じて周辺回路および周辺機器の電源コントロール、及びクロック周波数を変化させ全体の消費電力を抑える。

【0034】

【実施例】以下に本発明をその好ましい各実施例について図面を参照しながら詳細に説明する。

【0035】本発明では第1、第2の発明と共にCPU自体に自分の消費電力をコントロールするための電源モードを持っており、このモードを変えることでCPUの電力消費に関する内部状態が変化するものとする。

【0036】第1に、CPUの電源モードを変化させることで、周辺の回路または周辺機器をコントロールする手段について説明する。

【0037】まず、第1の発明におけるCPUと周辺を含んだ全体ブロック構成を図1、図2に示す。

【0038】図1は、第1の発明による第1の実施例を示し、CPU部と周辺部のバスが同一バス上にある場合についての第1の発明におけるブロック構成を示しており、図2は、第1の発明による第2の実施例を示し、CPU部と周辺部のバスが分けられている場合についての第1の発明におけるブロック構成を示している。

【0039】前者、即ち第1の発明による第1の実施例は、主に廉価な低ビットのバス幅しか持たない、マイクロコンピュータなどに採用されており、後者、即ち第1の発明による第2の実施例は主にDSPやCISC、RISC系のCPUなどに採用されている。

【0040】本発明における効果は、CPUに設けられた電源コントロール部と周辺部に設けられた電源コントロール部の相互関係のみによって成り立つために、データをアクセスするバスの方式には依存しない。

【0041】そのために、どちらのバス方式でも変わらないので、この中では前者、即ち第1の発明による第1の実施例について説明を行う。

【0042】図1において、CPU部1は、本発明に使用されるCPUを表しており、命令解読、演算、レジスタ制御を行うCPU演算処理部11、演算レジスタ12、汎用レジスタ、プログラマブルカウンタ、ステータスレジスタ、命令レジスタ等を含む各種コントロールレジスタ13の他に、CPU部1の電源モードの設定及び制御を行う電源モード制御レジスタ14で構成されている。

【0043】電源モード制御レジスタ14は、例えば図

3に示されるように構成され、CPU演算処理部11からの電源コントロールに関する制御情報を受け取るレジスタ1401と、このレジスタ1401の設定値により、CPU演算処理部11の内部で使用するクロックの周波数を変化させるクロック制御部1402と、CPU演算処理部11の内部ブロックの電源投入及び切断を行う内部電源制御部1403、及びレジスタ1401の設定値から、CPU内部が現在どの電源状態にあるか判定し、内部状態をCPU外部に知らせる、CPU内部状態出力機構1404からなる。

【0044】図2の電源モード制御レジスタ54も電源モード制御レジスタ14と同様の機能を有している。

【0045】各部はMAINABUS（主アドレスバス）3、MAINDBUS（主データバス）4に接続されており、CPU演算処理部11は、各種コントロールレジスタ13内の命令レジスタより出力されるCPU演算処理部11に対する命令を解読して様々な演算処理を行う。

【0046】この命令レジスタの中に電源モードを設定する記述があった場合には、CPU演算処理部11は電源モード制御レジスタ14にCPUモードを設定する。CPUはこのモードに合わせて各種電源モードに入ると共に外部に電源モードのステータス信号を出力する。

【0047】周辺部2は、本発明を使用する際に接続される周辺部の回路、周辺回路A21、周辺回路B22、周辺回路n23、及び周辺部の機器、周辺機器A24、周辺回路B25、周辺回路m26、そしてこれらの周辺回路、周辺機器の電源またはクロックを制御する電源コントロールブロック27から構成される。

【0048】電源コントロールブロック27は、例えば図4に示されるように構成され、電源モード制御レジスタ14から出力されるステータスを解析する電源モード解析部2701と、この解析結果から周辺回路の電源を切断及び投入する優先順位を決定する優先順位決定部（周辺回路）2702、及び周辺回路の電源を切り切りするスイッチの役割を果たす周辺回路電源制御部2703、周辺回路と同様に周辺機器に対して優先順位を決定する優先順位決定部（周辺機器）2704、周辺機器電源制御部2705からなる。

【0049】図2の電源コントロールブロック67も電源コントロールブロック27と同様の機能を有している。

【0050】電源コントロールブロック27は、電源モード制御レジスタ14より出力される電源モードステータスをもとに初期設定で決められた“ON”、“OFF”情報を周辺回路21～23、周辺機器24～26等の各周辺ブロックに出力する。各周辺ブロックの電源端子には図5に示されるような電子スイッチにより電力が供給されている。

【0051】電源コントロールブロック27は、この電

子スイッチのコントロール端子103に“ON”、“OFF”のコントロール信号を与え、供給電源端子102から供給される入力電力を、電源出力104の出力端子に出力するかどうかをコントロールする。

【0052】ここでCPUの電源モードを次のように定義する。

・Full・・・CPUの機能の全てが動作することが可能な状態

・Down・・・CPUのクロックスピードを落として動作している状態、CPUに対する割り込みで“Full”状態になる

・Sleep・・・割り込み以外は停止している状態、割り込みで“Full”状態となる

・Die・・・CPU完全停止、リセット信号で立ち上がる

電源モードの遷移状態を図6に示す。

【0053】それぞれのモードの消費電力は次のようになっている。

【0054】Full>Down>Sleep>Die
またFull状態に遷移する時間は次のようになっている。

【0055】Down<Sleep<Die

また、この場合にはCPU電源モードステータスとして外部に2bit出力する。

【0056】周辺側についてはCPUの電源モードをもとに“Full”110、“Down”111、“Sleep”112、“Die”113のそれぞれの場合の動作状態をまず決める。

【0057】一例を次に示す。

【0058】“Full”の場合には、CPUの全ての機能が使えるために、周辺回路21～23、周辺機器24～26のすべての周辺ブロックを動作状態とする。

【0059】“Down”の場合には、CPUがクロックを落として動作しているために、CPUのクロックによるノイズの影響を受ける無線等の送受信時に使用する。

【0060】“Sleep”の場合には、CPUが割り込み以外に受け付けられない状態になっているために、周辺も動作停止状態にしておく。

【0061】スイッチ、タイマ、タッチパネル等の外部入力をトリガとしてモードを遷移させる。

【0062】“Die”はCPUが完全に停止している状態である。

【0063】この“Die”状態の時に、CPUなしでも動作できる周辺ブロックだけ生かしておく。

【0064】例えば、カレンダクロック等でアラーム機能を待たせた場合には、ある日時の予定に対しアラームを鳴らすといったことをする。

【0065】この場合には予定時刻になったら、カレンダクロックがCPUをリセットし直すことで、CPUを

動作させる。CPUは立ち上がった時点でカレンダクロックのステータスに従ってアラームに対する動作を行う。

【0066】このようにCPUの電源モードに対して周辺の状態を割り当てておき、CPUの電源モード制御レジスタ14を操作し、変化させることで周辺のモードも変化させる。

【0067】次に第2の発明として、周辺回路、および周辺機器の電源状態によってCPUの電源モードをコントロールする手段、及び周辺の電源コントロールする手段について説明する。

【0068】第2の発明による第1、第2の実施例におけるCPUと周辺を含んだ全体ブロック構成を図7、図8に示す。

【0069】図7は第2の発明による第1の実施例を示し、CPU部と周辺部のバスが同一バス上にある場合についての本発明におけるブロック構成図であり、図8は第2の発明による第2の実施例を示し、CPU部と周辺部のバスが分けられている場合についての本発明におけるブロック構成図である。

【0070】図7、図8のそれぞれのブロックの機能は図1、図2と同じ機能を持ち、電源モード制御入力1204と電源コントロールブロック1217、電源モード制御入力1304、電源コントロールブロック1317が図1、図2と機能が異なっている。

【0071】図7の電源モード制御入力1204は、図9に示されるように構成され、周辺部に存在する電源モードコントロールブロック1217からのステータス信号を受けこれを解析する電源モード解析部120401と、この解析部の結果からCPU内部で使用するシステムクロック等の周波数の制御を行うクロック制御部120402、CPU内部ブロックの電源投入及び切断を行う内部電源制御部120403、電源モード解析部120401の解析結果からCPUの電源モードが現在どの状態にあるかを示す電源モードステータスレジスタ120404からなる。電源モードステータスレジスタ120404の値をCPU演算処理部1201が読み出すことで、現在の自分の電源状態を知ることができる。

【0072】図8の電源モード制御入力1304も電源モード制御入力1204と同様の機能を有している。

【0073】図7における電源コントロールブロック1217は、図10に示されている如く、周辺回路・周辺機器の電源投入・切断の情報を書き込むレジスタ121701と、このレジスタ121701の値から、周辺部の各ブロックに供給する電源の投入・切断を行うスイッチの役割を果たす周辺回路電源制御部121701、周辺機器電源制御121703からなり、この各々の電源制御の状態から周辺部の電源の内部状態を外部に知らせることのできる周辺部内部状態出力機構121704を有している。

【0074】周辺部内部状態出力機構121704のステータスは電源モード制御入力で参照することができ、CPU部はこのステータスからCPU内部の電源モードを決定する。

【0075】図8の電源コントロールブロック1317も電源コントロールブロック1217と同様の機能を有している。

【0076】電源モード制御入力1204、1304は外部入力信号によりCPUの電源状態等の内部状態を変化させられる。電源コントロールブロック1217、1317は周辺回路1211～1213、1311～1313、周辺機器1214～1216、1314～1316の電源状態を変化させるレジスタであり、このレジスタに電源状態を書き込むことでこれらの各周辺ブロックの電源“ON”、“OFF”を行う。

【0077】または初期設定において予め上記周辺回路、周辺機器等の周辺部のステータス状態を決めておき、これらの周辺部の動作終了信号をもとに、この終了信号のパターンによって電源コントロールレジスタのコントロール状態を変化できるように設定しておく。

【0078】このようにすれば、外部機器の状態により自動的に各部の電源状態を変化させることができる。

【0079】例として周辺回路1211～1213、1311～1313、周辺機器1214～1216、1314～1316等の周辺部は次のような入出力機能を持っているとする。

【0080】・ボタンスイッチ

・ディスプレイ

・電話（無線）

・カレンダークロック

電源の状態を中心とした周辺部の遷移状態の例を図11に示す。

【0081】図11では、各種演算等を行っている“Full”の状態、無線の送受信を行っている“無線送受信”状態、ある一定時間何も入力がない場合の省電力モードである“ディスプレイオフ”、全体の動作は停止しており、カレンダークロックのアラームの発生を持っている状態である“カレンダーアラーム信号”待ちの各状態と遷移をそれぞれ示している。

【0082】それぞれの状態は表1に示すきかけで遷移を行う。

【0083】

【表1】

Full	→	無線送受信	送受信信号の発生中
	←		送受信信号の発生終了
	→	ディスプレイ・オフ	一定時間何も入出力が無い
	←		入出力の発生
	→	カレンダーアラーム信号	電源OFF
	←		アラーム発生

【0084】このような状態が存在する場合には、電源モードコントロール信号は2bit必要とする。

【0085】動作の仕方を次に示す。

【0086】まず、周辺チップの電源コントロールブロック1217、1317を自分の目的のモードに設定する。

【0087】電源コントロールブロック1217、1317は周辺の各ブロックの状態を変更するとともに電源モードコントロール信号のステータスを変化させる。

【0088】CPUブロック120、130は、この信号を電源モード制御入力1204、1304で受けステータスに合わせ、CPUの内部モードを変化させる。

【0089】CPUの内部モードは図6と同じような状態を持っているものとし、コントロール信号により各状態に遷移する。

【0090】

【発明の効果】以上説明したように、本発明によれば、CPUの電源モードと周辺機器の電源モードを合わせることで、CPUを主体とした場合にはCPUに適した電源モードと周辺のコントロールができ、周辺を主体とし

た場合には周辺の電源状態に合わせてCPUの電源モードを作ることで、効率的に省電力を行なうことができる。

【図面の簡単な説明】

【図1】第1の発明による第1の実施例を示し、本発明をCPUを主体とした単一バスの場合に適用した全体ブロック構成図である。

【図2】第1の発明による第2の実施例を示し、本発明をCPUを主体とした複合バスの場合に適用した全体ブロック構成図である。

【図3】図1に示した電源モード制御レジスタの具体例を示す機能ブロック構成図である。

【図4】図1に示した電源コントロールブロックの具体例を示す機能ブロック構成図である。

【図5】本発明における電源用電子スイッチの構成例を示す回路図である。

【図6】本発明におけるCPUを主体とした電源モードの遷移の例を示す図である。

【図7】第2の発明による第1の実施例を示し、本発明を周辺を主体とした単一バスの場合に適用した全体プロ

ック構成図である。

【図8】第2の発明による第2の実施例を示し、本発明を周辺を主体とした複合バスの場合に適用した全体ブロック構成図である。

【図9】図7に示した電源モード制御入力的具体例を示す機能ブロック構成図である。

【図10】図7に示した電源コントロールブロック的具体例を示す機能ブロック構成図である。

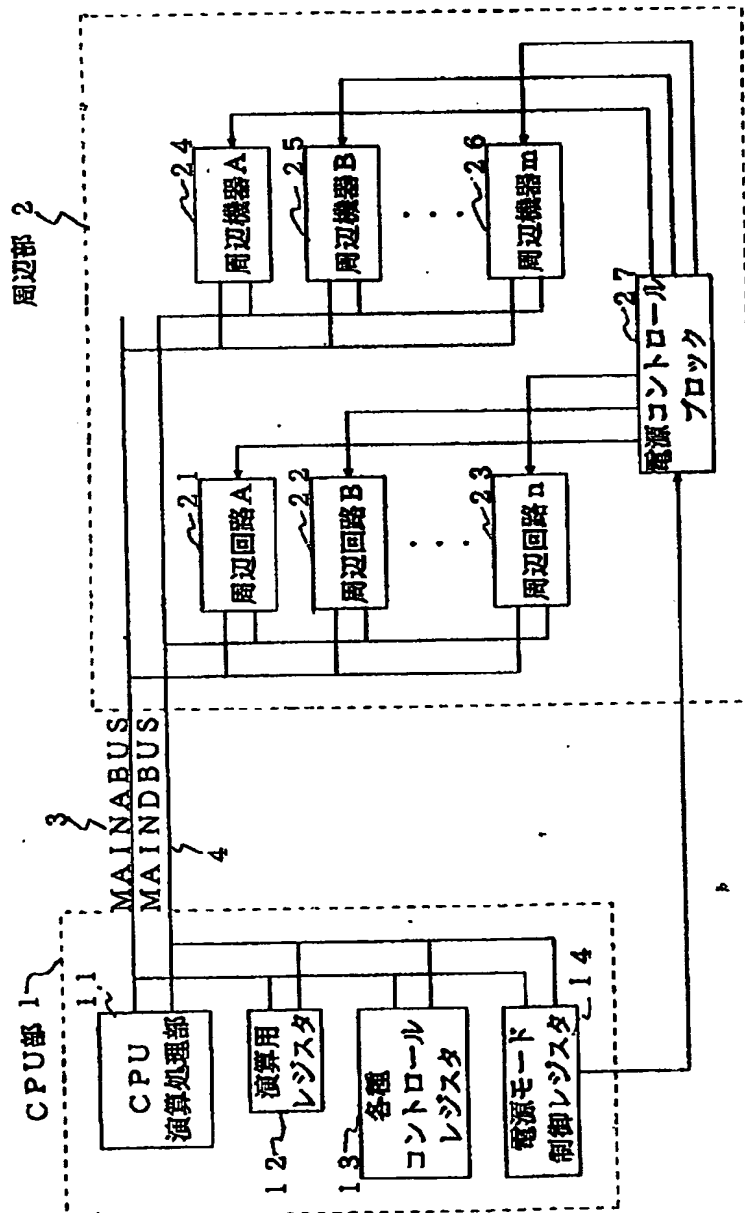
【図11】本発明における周辺を主体とした電源モードの遷移の例を示す図である。

【符号の説明】

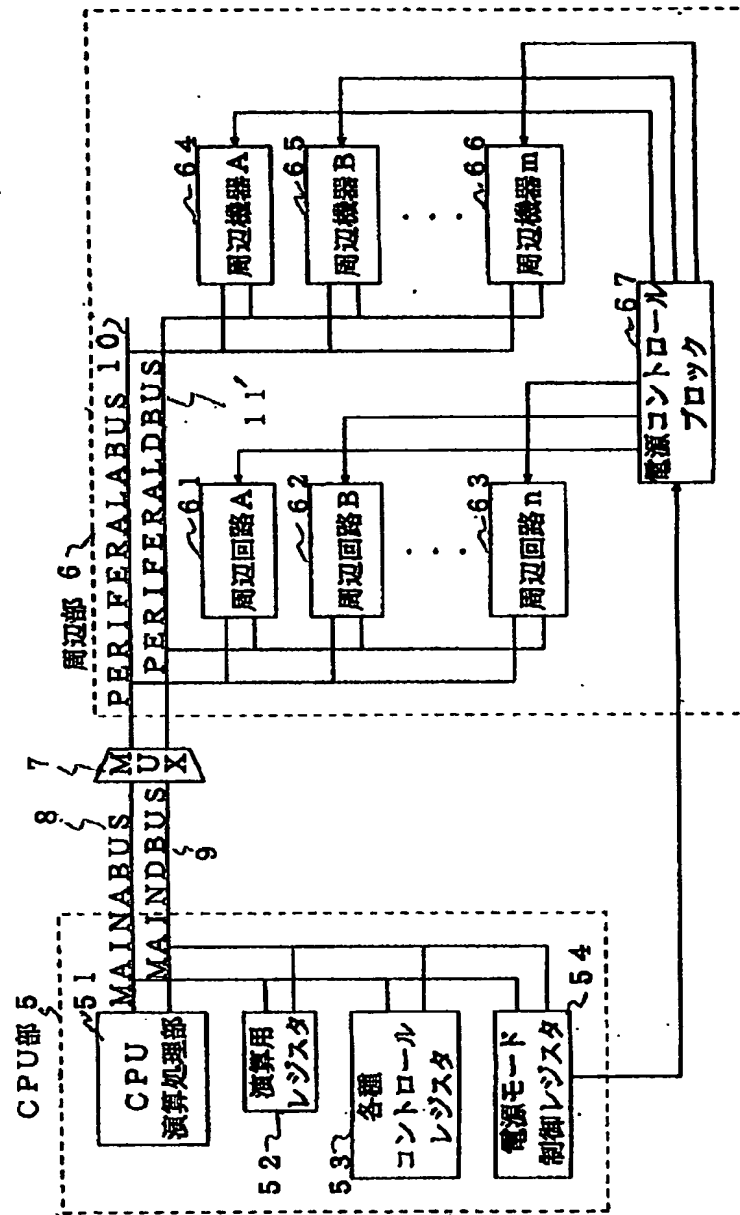
- 1、5、120、130…CPU部
 2、6、121、131…周辺部
 3、8、122、132…MAINBUS
 4、9、123、133…MAINDBUS
 7、136…バス幅変換部
 10、134…PERIFERALBUS
 11'、135…PERIFERALDBUS
 14、54…電源モード制御レジスタ
 27、67、1217、1317…電源コントロールブロック
 1204、1304…電源モード制御入力

10 ロック

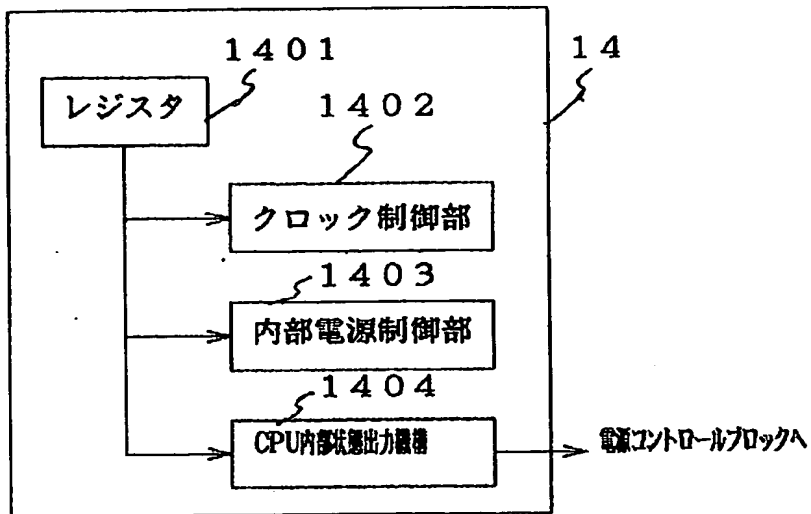
【図1】



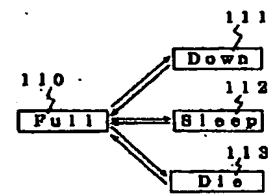
【図2】



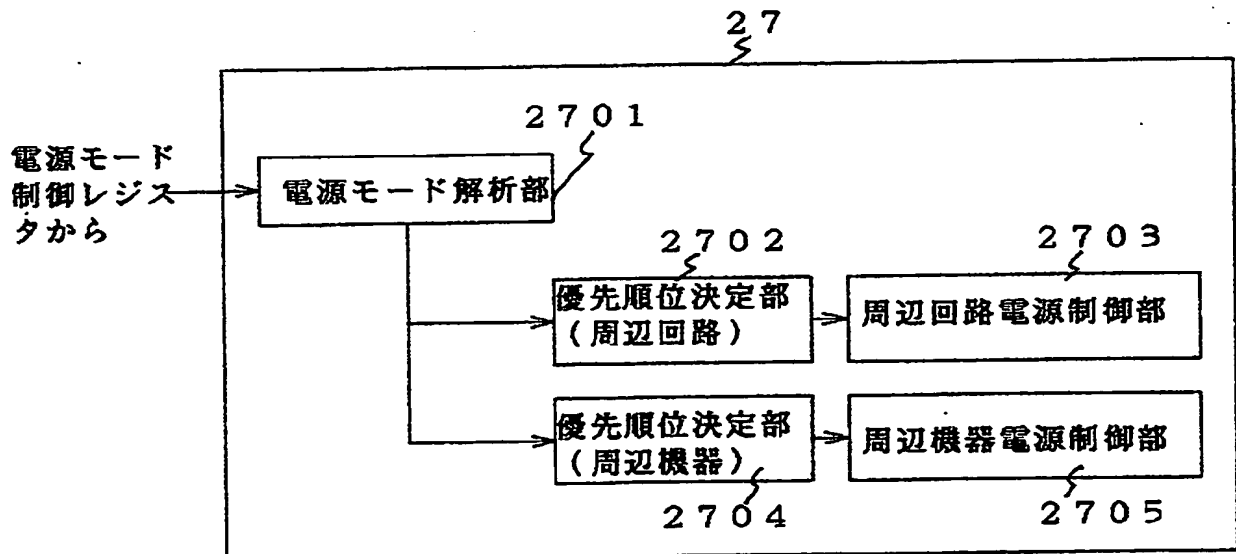
【図3】



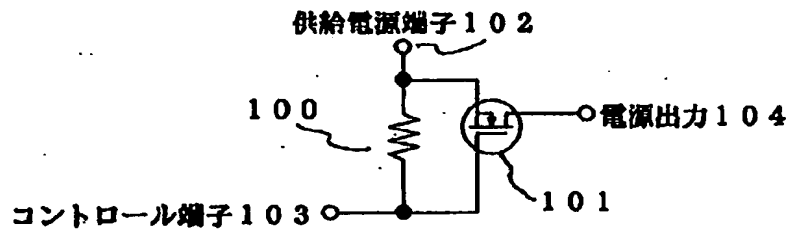
【図6】



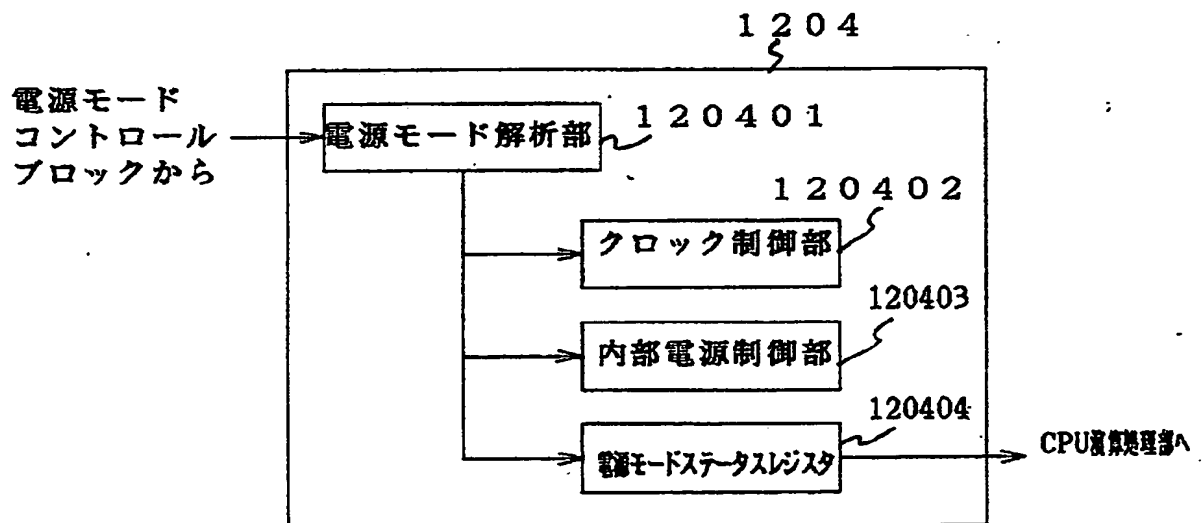
【図4】



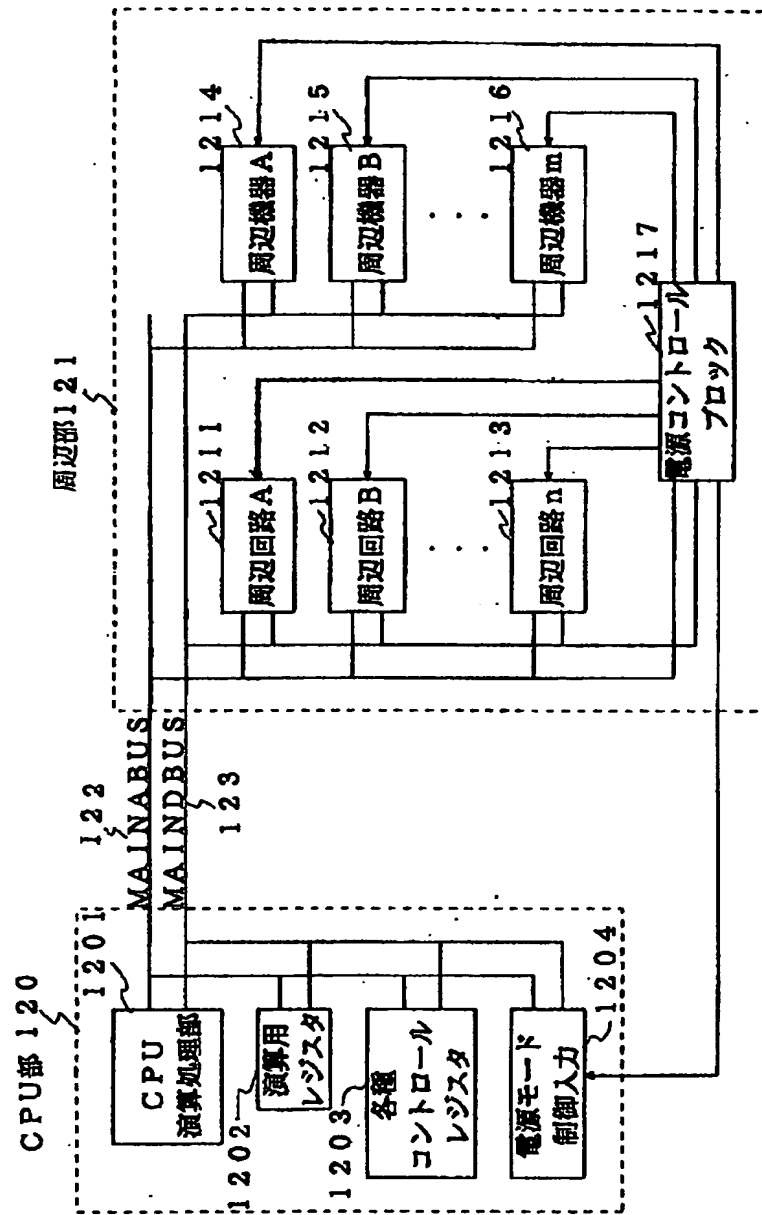
【図5】



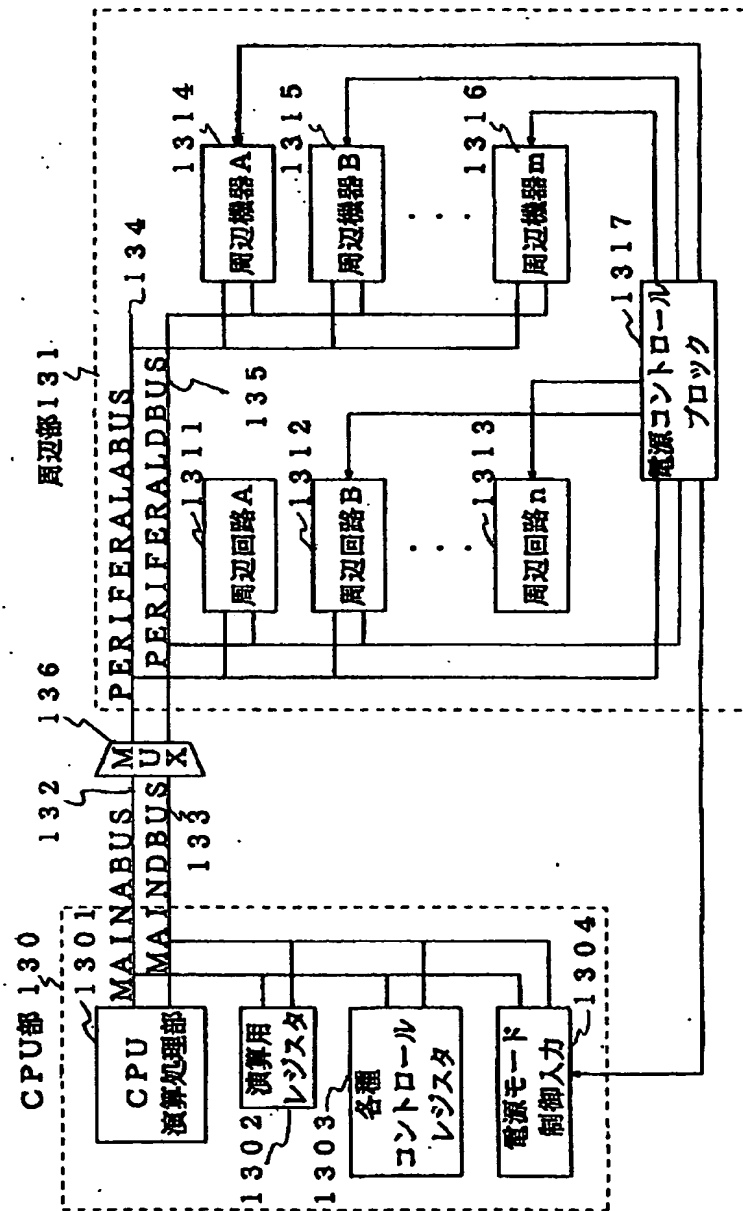
【図9】



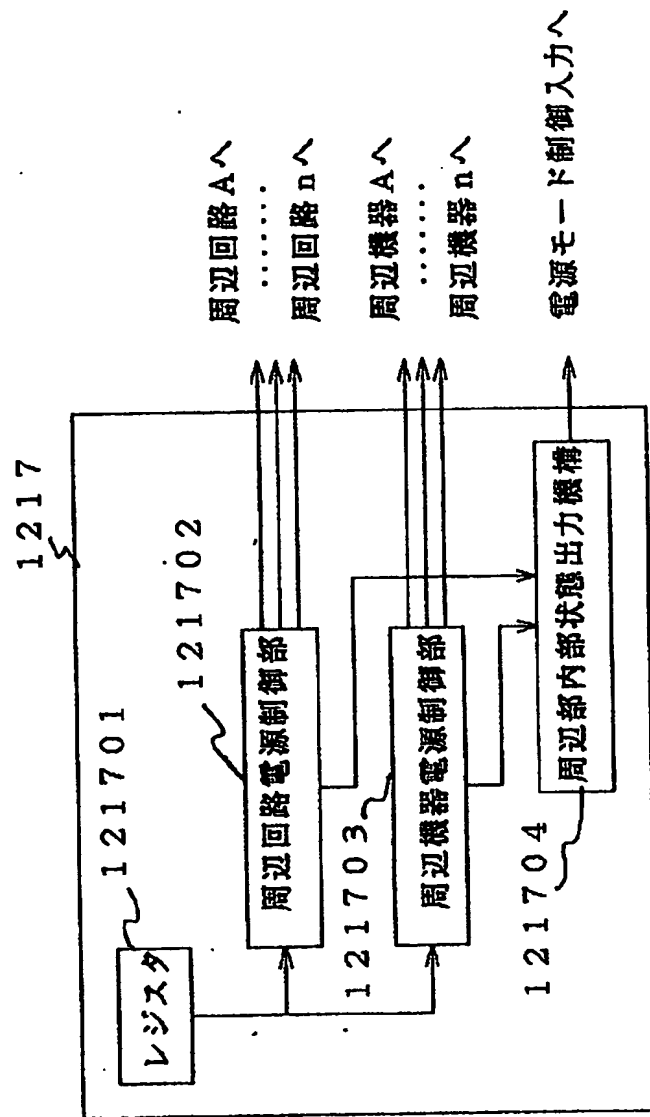
【図7】



【図8】



【図10】



【図11】

